



日 本 国 特 許 庁
JAPAN PATENT OFFICE


別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 4 月 2 日

出 願 番 号
Application Number: 特願 2 0 0 3 - 0 9 9 1 8 5
[ST. 10/C]: [J P 2 0 0 3 - 0 9 9 1 8 5]

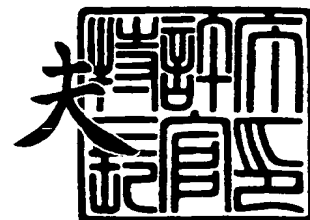
出 願 人
Applicant(s): ローム株式会社



2 0 0 3 年 1 1 月 2 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 7 6 6 7

【書類名】 特許願

【整理番号】 PR300124

【提出日】 平成15年 4月 2日

【あて先】 特許庁長官 殿

【国際特許分類】 G01R 19/165

【発明の名称】 電圧検出回路

【請求項の数】 6

【発明者】

 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

 【氏名】 平松 慶久

【発明者】

 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

 【氏名】 井上 晃一

【特許出願人】

 【識別番号】 000116024

 【氏名又は名称】 ローム株式会社

【代理人】

 【識別番号】 100085501

 【弁理士】

 【氏名又は名称】 佐野 静夫

【手数料の表示】

 【予納台帳番号】 024969

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0113515

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電圧検出回路

【特許請求の範囲】

【請求項 1】 エミッタが共通接続され差動対をなす第 1 のトランジスタ及び第 2 のトランジスタと、

入力電圧を分圧して第 1 の分圧及び第 2 の分圧を生成し、前記第 1 のトランジスタのベースに直接接続されて前記第 1 のトランジスタのベースに前記第 1 の分圧を印加し、前記第 2 のトランジスタのベースに直接接続されて前記第 2 のトランジスタのベースに前記第 2 の分圧を印加する分圧回路と、

一端が前記第 2 のトランジスタのベースに接続され、他端が前記第 2 のトランジスタのエミッタに接続される抵抗と、

を備え、

前記差動対の出力により前記入力電圧が所定値になっているかを検出することを特徴とする電圧検出回路。

【請求項 2】 前記第 1 のトランジスタ及び前記第 2 のトランジスタが PNP 形トランジスタである請求項 1 に記載の電圧検出回路。

【請求項 3】 前記分圧回路が、整流素子及び第 1 の抵抗から成る直列接続体と、第 2 の抵抗と、第 3 の抵抗とを備え、前記直列接続体の一端に前記入力電圧が印加され、前記直列接続体の他端と前記第 2 の抵抗の一端とが接続され、前記第 2 の抵抗の他端と前記第 3 の抵抗の一端とが接続され、前記第 3 の抵抗の他端がグランドに接続され、前記直列接続体と前記第 2 の抵抗との接続ノードから前記第 1 の分圧が出力され、前記第 2 の抵抗と前記第 3 の抵抗との接続ノードから前記第 2 の分圧が出力される請求項 2 に記載の電圧検出回路。

【請求項 4】 前記入力電圧が前記所定値であるときに前記整流素子の両端電圧と前記第 2 のトランジスタのベース－エミッタ間電圧とが等しい請求項 3 に記載の電圧検出回路。

【請求項 5】 前記所定値が第 1 の乗算値と第 2 の乗算値を加算した値であって

、
前記第 1 の乗算値が、

前記差動対の平衡状態における前記第 1 のトランジスタのベース-エミッタ間電圧と前記第 2 のトランジスタのベース-エミッタ間電圧との差の電圧と、

前記第 1 の抵抗の抵抗値と前記第 2 の抵抗の抵抗値と前記第 3 の抵抗の抵抗値とを加算した値を前記第 2 の抵抗の抵抗値で除算した値と、を乗算した値であり、

前記第 2 の乗算値が、

前記第 2 のトランジスタのベース-エミッタ間電圧と、

前記第 3 の抵抗の抵抗値と前記抵抗の抵抗値とを加算した値を前記抵抗の抵抗値で除算した値と、を乗算した値である請求項 4 に記載の電圧検出回路。

【請求項 6】請求項 3～5 のいずれかに記載の電圧検出回路を具備する半導体集積回路装置の製造方法であって、

前記抵抗、前記第 1 の抵抗、前記第 2 の抵抗、及び前記第 3 の抵抗を同一のプロセスによって同時に形成することを特徴とする半導体集積回路装置の製造方法

。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入力電圧が所定値になっているかを検出する電圧検出回路に関するものである。

【0002】

【従来の技術】

従来の電圧検出回路の一構成例を図 4 に示す。図 4 の電圧検出回路は、入力端子 5 に印加される電圧 V_{CC} が所定値 V_{sh} より大きいときに端子 4 から出力される電圧が電圧 V_{CC} と同じ値になり、端子 5 に印加される電源電圧 V_{CC} が所定値 V_{sh} より小さいときに端子 4 から出力される電圧が零になる。そして、図 4 の電圧検出回路は、抵抗 $r_1 \sim r_3$ 及びダイオード接続されたトランジスタ T_{r1} によって構成される分圧回路の分圧比と、トランジスタ T_{r4} のベース-エミッタ間電圧と、トランジスタ T_{r5} のベース-エミッタ間電圧と、抵抗 r_4 の抵抗値と、抵抗 r_5 の抵抗値とを設定することにより、所定値 V_{sh} の温度係数が零となるよ

うにしている。なお、図4の電圧検出回路は特許文献1に開示されている。

【0003】

【特許文献1】

特許第3218641号公報 (第1図)

【0004】

【発明が解決しようとする課題】

図4の電圧検出回路は、上述したように抵抗 $r_1 \sim r_3$ 及びダイオード接続されたトランジスタ T_{r1} によって構成される分圧回路の分圧比と、トランジスタ T_{r4} のベース－エミッタ間電圧と、トランジスタ T_{r5} のベース－エミッタ間電圧と、抵抗 r_4 の抵抗値と、抵抗 r_5 の抵抗値とを設定することによって所定値 V_{sh} の温度係数が零となるようにしているので、抵抗 $r_1 \sim r_3$ と、トランジスタ T_{r1} と、トランジスタ T_{r4} と、トランジスタ T_{r5} と、抵抗 r_4 と、抵抗 r_5 とを必ず備える必要があった。

【0005】

このため、電圧検出の基準値である所定値 V_{sh} の温度係数を零にすることができ図4の電圧検出回路は、電圧検出の基準値が温度に対して変化する電圧検出回路に比べて回路を構成する素子数が多くなる。回路を構成する素子数の増加は低廉化や小型化の妨げになるので、素子数の増加を最小限に抑えることが望ましい。しかしながら、図4の電圧検出回路は必要最低限の素子数で構成されていなかった。

【0006】

本発明は、上記の問題点に鑑み、必要最低限の素子数で構成できかつ電圧検出の基準値の温度特性を任意に設定することができる電圧検出回路を提供することを目的とする。

【0007】

【課題を解決するための手段】

上記目的を達成するために、本発明に係る電圧検出回路においては、エミッタが共通接続され差動対をなす第1のトランジスタ及び第2のトランジスタと、入力電圧を分圧して第1の分圧及び第2の分圧を生成し、前記第1のトランジスタ

のベースに直接接続されて前記第1のトランジスタのベースに前記第1の分圧を印加し、前記第2のトランジスタのベースに直接接続されて前記第2のトランジスタのベースに前記第2の分圧を印加する分圧回路と、一端が前記第2のトランジスタのベースに接続され、他端が前記第2のトランジスタのエミッタに接続される抵抗と、を備える構成であって、前記差動対の出力により前記入力電圧が所定値になっているかを検出する。

【0008】

このような構成によると、分圧回路の分圧比と、第1のトランジスタのベース－エミッタ間電圧と、第2のトランジスタのベース－エミッタ間電圧と、一端が前記第2のトランジスタのベースに接続され他端が前記第2のトランジスタのエミッタに接続される抵抗の抵抗値とを設定することによって所定値（電圧検出の基準値）の温度特性を任意に設定することができる。また、分圧回路が第1のトランジスタのベース及び第2のトランジスタのベースに直接接続されているので、必要最低限の素子数で電圧検出回路を構成することができる。

【0009】

また、前記第1のトランジスタ及び前記第2のトランジスタをPNP形トランジスタにしてもよい。これにより、第2のトランジスタのベース－エミッタ間電圧の温度による変化が小さくなる。したがって、所定値（電圧検出の基準値）の温度係数を零にする設定が容易になる。

【0010】

さらに、前記分圧回路を、整流素子及び第1の抵抗から成る直列接続体と、第2の抵抗と、第3の抵抗とを備える構成とし、前記直列接続体の一端に前記入力電圧が印加され、前記直列接続体の他端と前記第2の抵抗の一端とが接続され、前記第2の抵抗の他端と前記第3の抵抗の一端とが接続され、前記第3の抵抗の他端がグランドに接続され、前記直列接続体と前記第2の抵抗との接続ノードから前記第1の分圧が出力され、前記第2の抵抗と前記第3の抵抗との接続ノードから前記第2の分圧が出力されるようにしてもよい。これにより、入力電圧を分圧して第1の分圧及び第2の分圧を生成する分圧回路を簡単な構成で実現することができる。

【0011】

さらに、前記入力電圧が前記所定値であるときに前記整流素子の両端電圧と前記第2のトランジスタのベース－エミッタ間電圧とが等しくなるようにしてもよい。これにより、所定値（電圧検出の基準値）の温度特性の設定が容易になる。そして、この場合、前記所定値が第1の乗算値と第2の乗算値を加算した値であって、前記第1の乗算値が、前記差動対の平衡状態における前記第1のトランジスタのベース－エミッタ間電圧と前記第2のトランジスタのベース－エミッタ間電圧との差の電圧と、前記第1の抵抗の抵抗値と前記第2の抵抗の抵抗値と前記第3の抵抗の抵抗値とを加算した値を前記第2の抵抗の抵抗値で除算した値と、を乗算した値になり、前記第2の乗算値が、前記第2のトランジスタのベース－エミッタ間電圧と、前記第3の抵抗の抵抗値と前記抵抗の抵抗値とを加算した値を前記抵抗の抵抗値で除算した値と、を乗算した値になる。

【0012】

また、前記整流素子及び前記第1の抵抗から成る前記直列接続体と、前記第2の抵抗と、前記第3の抵抗とによって構成される分圧回路を有する電圧検出回路を具備する半導体集積回路装置を製造する場合は、前記抵抗、前記第1の抵抗、前記第2の抵抗、及び前記第3の抵抗を同一のプロセスによって同時に形成するようにすることが好ましい。

【0013】

これにより、一端が前記第2のトランジスタのベースに接続され他端が前記第2のトランジスタのエミッタに接続される抵抗の抵抗値、第1の抵抗の抵抗値、第2の抵抗の抵抗値、及び第3の抵抗の抵抗値が各設計値に対してばらつく場合でも抵抗比のばらつきは小さくすることができ、所定値（電圧検出の基準値）の温度係数の誤差を小さくすることができる。

【0014】**【発明の実施の形態】**

以下に本発明の一実施形態について図面を参照して説明する。本発明に係る電圧検出回路の一構成例を図1に示す。図1の電圧検出回路は、入力端子1と、定電流源2と、出力端子3と、PNP形トランジスタQ1～Q3と、NPN形トラ

ンジスタ Q4～Q6 と、抵抗 R1～R4 とによって構成されている。

【0015】

入力端子 1 は、トランジスタ Q3 のエミッタに接続されるとともに、定電流源 2 を介してトランジスタ Q1 のエミッタ及びトランジスタ Q2 のエミッタに接続される。トランジスタ Q3 のコレクタは、抵抗 R1～R3 から成る直列接続体を介してグランドに接続される。また、トランジスタ Q3 のコレクタとベースとが短絡される。

【0016】

トランジスタ Q1 のベースが抵抗 R1 と抵抗 R2 との接続ノードに直接接続され、トランジスタ Q2 のベースが抵抗 R2 と抵抗 R3 との接続ノードに直接接続される。また、トランジスタ Q2 のエミッタとベースとが抵抗 R4 を介して接続される。

【0017】

トランジスタ Q1 のコレクタがトランジスタ Q4 のコレクタ及びトランジスタ Q6 のベースに接続され、トランジスタ Q2 のコレクタがトランジスタ Q5 のコレクタに接続される。また、トランジスタ Q5 のコレクタとベースとが短絡され、トランジスタ Q4 のベースとトランジスタ Q5 のベースとが共通接続される。そして、トランジスタ Q4 のエミッタとトランジスタ Q5 のエミッタとが共通接続され、グランドに接続される。

【0018】

トランジスタ Q6 のコレクタが出力端子 3 に接続され、トランジスタ Q6 のエミッタがグランドに接続される。

【0019】

このような構成である図 1 の電圧検出回路の動作について説明する。入力端子 1 に印加される電圧が閾値 V_S より小さい場合、抵抗 R2 の両端電位差が小さいためトランジスタ Q1 がオン状態になりトランジスタ Q2 がオフ状態となる。これにより、トランジスタ Q6 がオン状態となり、出力端子 3 はグランド電位になる。一方、入力端子 1 に印加される電圧が閾値 V_S より大きい場合、抵抗 R2 の両端電位差が大きいためトランジスタ Q1、Q2 がともにオン状態になる。これ

により、トランジスタ Q 6 がオフ状態となり、出力端子 3 はオープン状態になる。図 1 の電圧検出回路が上記動作を行うので、閾値 V_S は電圧検出の基準値となる。

【0020】

続いて電圧検出の基準値である閾値 V_S の温度特性について説明する。ここで、トランジスタ Q 1 のコレクタ電流とトランジスタ Q 2 のコレクタ電流とが平衡状態を保っているときのトランジスタ Q 1 のベース-エミッタ間電圧とトランジスタ Q 2 のベース-エミッタ間電圧との差の電圧を ΔV_{BE} とする。電圧 ΔV_{BE} はトランジスタ Q 1 のエミッタ電流密度とトランジスタ Q 2 のエミッタ電流密度を異なる値にすることによって発生させることができる。トランジスタ Q 1 のエミッタ電流密度とトランジスタ Q 2 のエミッタ電流密度を異なる値にするには、例えばトランジスタ Q 1 のエミッタ面積とトランジスタ Q 2 のエミッタ面積を異なるようにすればよい。

【0021】

また、トランジスタ Q 3 のベース-エミッタ間電圧を V_{F1} とし、トランジスタ Q 2 のベース-エミッタ間電圧を V_{F2} とする。また、抵抗 R 2 を流れる電流を I_1 、抵抗 R 4 とトランジスタ Q 2 のベースとの接続ノードから抵抗 R 2 と抵抗 R 3 との接続ノードに向かって流れる電流を I_2 とし、抵抗 R 1、R 2、R 3、R 4 の抵抗値をそれぞれ R_1 、 R_2 、 R_3 、 R_4 とする。

【0022】

そして、トランジスタ Q 1 のベース電流とトランジスタ Q 2 のベースを無視すると、閾値 V_S 、電流 I_1 、電流 I_2 をそれぞれ下記に示す (1) 式～(3) 式で表すことができる。

【0023】

【数 1】

$$V_S = V_{F1} + (R_1 + R_2) \cdot I_1 + R_3 \cdot (I_1 + I_2) \quad \cdots (1)$$

$$I_1 = \Delta V_{BE} / R_2 \quad \cdots (2)$$

$$I_2 = V_{F2} / R_4 \quad \cdots (3)$$

【0024】

(1) 式～(3) 式により、閾値 V_S は下記に示す (4) 式で表すことができる。

【0025】

【数 2】

$$V_S = V_{F1} + (R_1 + R_2) \cdot \Delta V_{BE} / R_2 + R_3 \cdot (\Delta V_{BE} / R_2 + V_{F2} / R_4) \quad \cdots (4)$$

【0026】

さらに、トランジスタ Q2 のベース－エミッタ間電圧 V_{F1} とトランジスタ Q3 のベース－エミッタ間電圧 V_{F2} とが等しくなるようにトランジスタ Q2 とトランジスタ Q3 を同一特性のトランジスタとすると、 $V_{F1} = V_{F2} = V_F$ が成り立つ。したがって、上記 (4) 式は、下記に示す (5) 式に変形することができる。

【0027】

【数 3】

$$V_S = \Delta V_{BE} \cdot \left(\frac{R_1 + R_2 + R_3}{R_2} \right) + V_F \cdot \left(\frac{R_3 + R_4}{R_4} \right) \quad \cdots (5)$$

【0028】

そして、上記 (5) 式を絶対温度 T で偏微分すると、下記に示す (6) 式が得られる。

【0029】

【数 4】

$$\frac{\partial V_S}{\partial T} = \frac{\partial \Delta V_{BE}}{\partial T} \cdot \left(\frac{R_1 + R_2 + R_3}{R_2} \right) + \frac{\partial V_F}{\partial T} \cdot \left(\frac{R_3 + R_4}{R_4} \right) \quad \dots (6)$$

【0030】

(6) 式において、右辺の第 1 項が正の数となり、右辺の第 2 項が負の数となるので、トランジスタ Q1～Q3 のベース－エミッタ間電圧及び各抵抗値 R1～R4 の設定により、閾値 V_S の温度係数 $\partial V_S / \partial T$ を正の任意の値、負の任意の値、零のいずれにでもすることができる。通常は閾値 V_S の温度係数 $\partial V_S / \partial T$ が零になるように、トランジスタ Q1～Q3 のベース－エミッタ間電圧及び各抵抗値 R1～R4 を設定する。なお、図 1 の電圧検出回路に接続される回路が温度特性を有する場合、その温度特性と閾値 V_S の温度係数 $\partial V_S / \partial T$ とが互いに相殺するようにトランジスタ Q1～Q3 のベース－エミッタ間電圧及び各抵抗値 R1～R4 を設定してもよい。

【0031】

続いて、電圧検出を行う差動対トランジスタ（図 1 におけるトランジスタ Q1 及び Q2）や分圧回路内のダイオード接続されたトランジスタ（図 1 におけるトランジスタ Q3）に PNP 形トランジスタを用いることが好ましい理由について説明する。低濃度 N 型エピタキシャル層に NPN 形トランジスタを形成する場合、図 2 に示すようにエミッタ層、ベース層、コレクタ層が縦に並ぶ縦型構造となる。一方、低濃度 N 型エピタキシャル層に PNP 形トランジスタを形成する場合、図 3 に示すようにエミッタ層、ベース層、コレクタ層が横に並ぶ横型構造となる。なお、図 2 及び図 3 において、B はベース・コンタクト、C はコレクタ・コンタクト、E はエミッタ・コンタクト、N⁺ は高濃度 N 型拡散層、N⁻ は低濃度 N 型エピタキシャル層、P⁺ は高濃度 P 型拡散層を示している。

【0032】

図 2 の NPN 形トランジスタは、ベース層が高濃度 P 型拡散層であるため、ベース層の抵抗成分が小さい。一方、図 3 の PNP 形トランジスタは、ベース層が低濃度 N 型エピタキシャル層であるため、ベース層の抵抗成分が大きい。ベース層の抵抗成分は正の温度特性を有し、ベース－エミッタ間の接合電位は負の温度

特性を示すので、ベース層の抵抗成分が大きいPNP形トランジスタはベース層の抵抗成分が小さいNPN形トランジスタに比べてベース－エミッタ間電圧の温度による変化が小さくなる。したがって、電圧検出を行う差動対トランジスタ（図1におけるトランジスタQ1及びQ2）や分圧回路内のダイオード接続されたトランジスタ（図1におけるトランジスタQ3）をNPN形トランジスタにするよりもPNP形トランジスタにする方が、電圧検出の基準値の温度係数を零にする設定が容易になる。

【0033】

また、図1の電圧検出回路は通常半導体集積回路装置に搭載される。半導体集積回路装置は成膜工程、リソグラフィ工程、エッチング工程、不純物ドーピング工程等を組み合わせることによって作製されるが、抵抗R1～R4を同一のプロセスによって同時に形成することが望ましい。抵抗R1～R4を同一のプロセスによって同時に形成することで、抵抗値R1～R4が各設計値に対してばらつく場合でも抵抗比（例えば R_1/R_2 ）のばらつきは小さくすることができる。これにより、上述した（6）式から明らかなように、閾値 V_S の温度係数 $\partial V_S/\partial T$ の設定値に対する誤差も小さくすることができる。

【0034】

なお、図1の電圧検出回路においては入力端子1と抵抗R1との間にベース－コレクタ間が短絡されたトランジスタQ3が設けられる構成であったが、入力端子1と抵抗R1とが直接接続され、ベース－コレクタ間が短絡されたトランジスタQ3が抵抗R1と抵抗R2との間に設けられる構成であっても構わない。また、トランジスタQ3をカレントミラー回路の基準源として用いてもよい。例えば、トランジスタQ3と対となってカレントミラー回路を構成するPNP形トランジスタを定電流源2として用いることができる。

【0035】

【発明の効果】

本発明によると、必要最低限の素子数で構成できかつ電圧検出の基準値の温度特性を任意に設定することができる電圧検出回路を実現することができる。

【図面の簡単な説明】

【図 1】 本発明に係る電圧検出回路の一構成例を示す図である。

【図 2】 NPN形トランジスタの構造を模式的に示す断面斜視図である。

【図 3】 PNP形トランジスタの構造を模式的に示す断面斜視図である。

【図 4】 従来電圧検出回路の一構成例を示す図である。

【符号の説明】

1 入力端子

2 定電流源

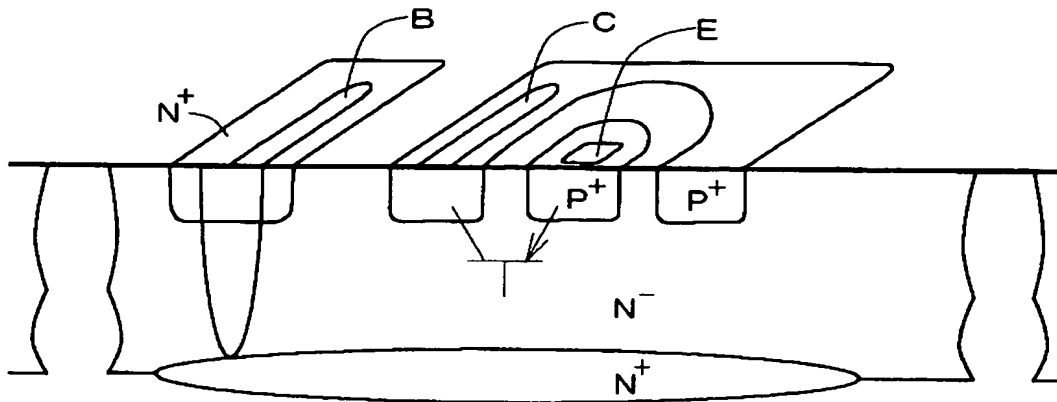
3 出力端子

Q1～Q3 PNP形トランジスタ

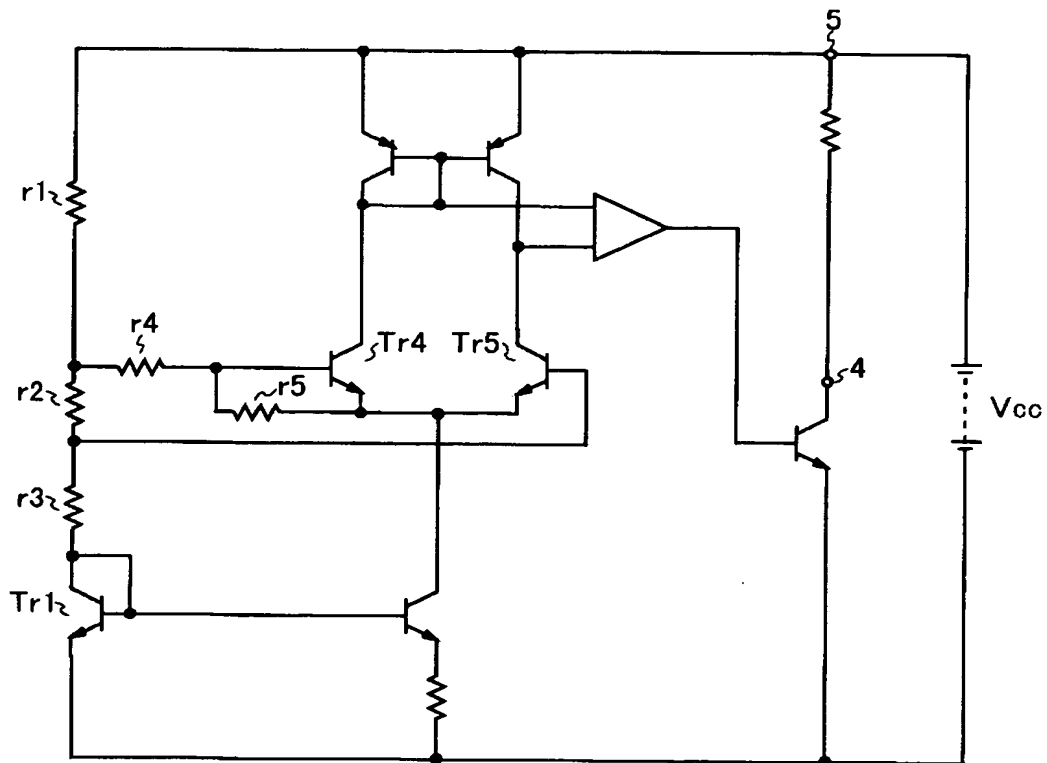
Q4～Q6 NPN形トランジスタ

R1～R4 抵抗

【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 必要最低限の素子数で構成できかつ電圧検出の基準値の温度特性を任意に設定することができる電圧検出回路を提供する。

【解決手段】 エミッタが共通接続され差動対をなすトランジスタQ1及びQ2と、入力端子1に印加される入力電圧を分圧して第1の分圧及び第2の分圧を生成し、トランジスタQ1のベースに直接接続されてトランジスタQ1のベースに前記第1の分圧を印加し、トランジスタQ2のベースに直接接続されてトランジスタQ2のベースに前記第2の分圧を印加する分圧回路（トランジスタQ3及び抵抗R1～R3から成る回路）と、トランジスタQ2のベースとエミッタを接続する抵抗R4と、を備える電圧検出回路。

【選択図】 図1

特願 2 0 0 3 - 0 9 9 1 8 5

出 願 人 履 歷 情 報

識別番号

[0 0 0 1 1 6 0 2 4]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町 2 1 番地

氏 名

ローム株式会社